

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-507863

(P2002-507863A)

(43)公表日 平成14年3月12日 (2002.3.12)

(51) Int.Cl.⁷
H 0 4 N 5/335

識別記号

F I
H 0 4 N 5/335

テマコト[®] (参考)
E 5 C 0 2 4
P

審査請求 未請求 予備審査請求 有 (全 24 頁)

(21) 出願番号 特願2000-537366(P2000-537366)
(86) (22) 出願日 平成11年3月16日(1999.3.16)
(85) 翻訳文提出日 平成12年9月18日(2000.9.18)
(86) 國際出願番号 PCT/US99/05830
(87) 國際公開番号 WO99/48281
(87) 國際公開日 平成11年9月23日(1999.9.23)
(31) 優先権主張番号 60/078,172
(32) 優先日 平成10年3月16日(1998.3.16)
(33) 優先権主張国 米国(US)

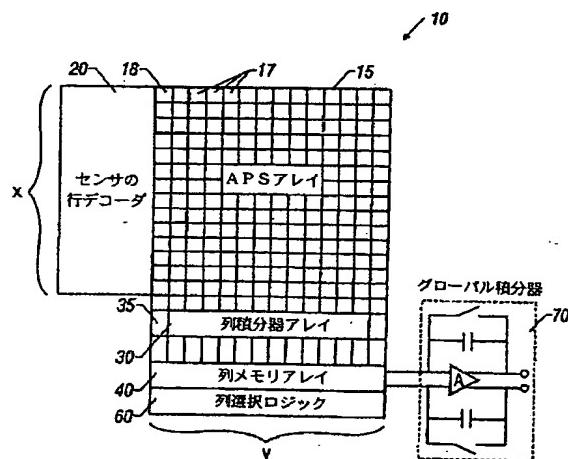
(71) 出願人 カリフォルニア・インスティテュート・オブ・テクノロジー
CALIFORNIA INSTITUTE OF TECHNOLOGY
アメリカ合衆国91125カリフォルニア州バサディナ、イースト・カリフォルニア・ブルーバード1200番
(72) 発明者 ベイン ベダプラタ
アメリカ合衆国 カリフォルニア州
90066 ロサンゼルス ソーテル ブール
バード 3110 ナンバー-206
(74) 代理人 弁理士 大庭 咲夫 (外1名)

最終頁に続く

(54) 【発明の名称】 光適応型撮像用の全差動列読出回路を持つCMOS集積センサ

(57) 【要約】

弱光検出能力に対して良好に適する撮像素子(10)。好みの実施の形態によると、撮像素子は、S/NRが最適の低レベル検出性能に対して調節可能な多数解像度能力を有する撮像素子(10)を提供するよう容易に構成できる。多段解像度信号処理機能性は、高速度撮像を達成するよう同一チップ上に提供され、無関係のおよびピックアップされたノイズ全てが除去されるように配置された全差動回路を持つ改良された画素ピニング手法を採用する。本実施例は、フレーム転送メモリを必要とせず、それによって、チップサイズを低減する。面積での低減は、より大きな面積フォーマットの光適応型撮像素子の実施を可能にする。



【特許請求の範囲】

【請求項 1】 能動画素センサ (A P S) 摄像素子であって、半導体基板と、

前記基板上に形成される、(x) 行と (y) 列の画素からなる画素センサアレイと、

前記基板上に形成され、前記アレイにおいて n と m の画素からなるカーネルを選択する近隣選択器と、

対応する画素の列に結合されて、各画素ブロックに対する各選択された行上の画素信号を差動で積分するよう動作する複数の列積分器により規定され、前記基板上に形成される列積分器アレイと、

差動で積分されるコンデンサ回路のアレイにより規定され、前記基板上に形成される列メモリアレイと、を備え、前記コンデンサ回路は、行合計化サイクルの終了時に、前記行での前記 n 画素を示す行合計化電荷信号を生成するよう、前記列積分器からの前記差動で積分された画素信号を合計し、

更に、前記基板上に形成され、前記 m 列の各々に対する前記行合計化電荷信号を受取り、前記 (m) 信号を合計することにより画素ブロック合計化出力を生成する、グローバル出力積分器、

を備える A P S 摄像素子。

【請求項 2】 前記画素センサアレイは、複数の画素を含み、その各々は、光電センサ素子とバッファを含む、請求項 1 の撮像素子。

【請求項 3】 前記近隣選択器は、可変であり、撮像素子のモードの多数解像度を可能にする、請求項 1 の A P S 摄像素子。

【請求項 4】 各列積分器は、外来のおよびピックアップされたノイズを実質的に除去するよう構成される一対の積分するコンデンサを含む差動回路である、請求項 1 の A P S 摄像素子。

【請求項 5】 各コンデンサ回路は、一対の合計するコンデンサを含む全差動回路である、請求項 4 の A P S 摄像素子。

【請求項 6】 各グローバル出力積分器は、一対のオペアンプを含む全差動回路である、請求項 4 の A P S 摄像素子。

【請求項7】 各画素ブロックは、正方のブロックである、請求項1のAPS撮像素子。

【請求項8】 更に、現在選択された解像度モードに基づきアドレス制御信号及びタイミング制御信号を生成する、列選択ロジックと行選択ロジックとを、備える、請求項1のAPS撮像素子。

【請求項9】 更に、現在選択された画素ブロックサイズに基づきアドレス制御信号及びタイミング制御信号を生成する、列選択ロジックと行選択ロジックとを、備える、請求項1のAPS撮像素子。

【請求項10】 画素センサを操作する方法であって、

(x) 行と(y)列の画素からなる画素センサアレイを含む画素センサ撮像素子を取得するステップと、

nはxより小さく、mはyより小さく、隣接する行画素と列画素の(n)行と(m)列の画素のサブブロックを規定するステップと、

画素の前記列へ結合された列積分器のアレイにより規定される列積分器アレイを使用して、前記n行の各々上の画素信号を差動で積分するステップと、

差動積分器を使用して、行合計化サイクルの終了時に、(n)行の合計化電荷信号を生成するよう、前記n行を合計するステップと、

グローバル出力積分器を使用して、列合計化サイクルの終了時に、前記n行の電荷信号の(m)を合計することにより、合計された出力を生成するステップと

を含む方法。

【請求項11】 更に、現在選択された解像度モードに基づきアドレス制御信号及びアドレス制御信号を生成するステップ、を含む、請求項10の方法。

【請求項12】 更に、現在選択された画素ブロックサイズに基づきアドレス制御信号及びタイミング制御信号を生成する、列選択ロジックと行選択ロジックとを、備える、請求項10のAPS撮像素子。

【発明の詳細な説明】**【0001】**

連邦スポンサの研究に対する供述

【0002】

本明細書に記載の本発明は、N A S A契約の下で履行された研究においてなされ、公法(Public Law) 96-517 (35 USC 202) の条項に従い、ここで契約者は、権利を保有する選択をした。

【0003】**【発明の分野】**

本開示は、能動画素センサに向けられ、より詳細には、光適応型撮像用途の多数解像度能動画素センサアレイ撮像素子(imager)に向けられる。

【0004】**背景****【0005】**

CMOS能動画素センサ(「A P S」)は、高性能製品の実現化を可能にした。各画素は、光電信号をバッファする能動アンプを有する。列並列バス読出アーキテクチャが、しばしば使用される。このアーキテクチャでは、列は、個別の信号処理モジュールへ接続され、それは、例えば、A/Dコンバータおよび二重サンプリング素子を含む。

【0006】

スマート撮像素子技術における絶えざる挑戦は、低照度条件下でどのように信号対ノイズ比(「S N R」)を向上させるかであり続ける。

【0007】

これを行う一つの方法は、近隣画素を合計すること(画素ビニング(pixel binning))により空間解像度をS N Rと引き換えることである。近隣画素からの信号を平均化するCMOS撮像素子が、Panicacci他により「プログラム可能な多数解像度CMOS能動画素センサ(Programmable Multiresolution CMOS Active Pixel Sensor)」という記事名でSolid-state Sensor Arrays & CCD Camera, Proc. SPIE vol. 2654, pp. 72-81, 1996に記載された。

【0008】

フレームメモリと画素ビニングを持つCMOS撮像素子が、Pain, Zhou と Fossum の共著より「画素ビニングを持つフレーム転送CMOS能動画素センサ (Frame-transfer CMOS Active Pixel Sensor with Pixel Binning)」という記事名で Solid-State Image Sensors に関する特別号である、IEEE Trans. On Electron Devices, vol. 44 (10), pp. 1759-1763, 1997 の文献に記載された。

【0009】

概要

【0010】

本開示は、改良された画素ビニング撮像素子に向けられる。好ましい実施の形態によると、撮像素子は、S N R が最適の低レベル検出性能に対して調節可能な多数解像度能力を有する撮像素子を提供するよう容易に構成できる。

【0011】

更に、好ましい実施例によると、多数解像度信号処理機能性は、低消費電力と共に、高速度撮像を達成するよう（同一の）チップ上に提供される。

【0012】

記載の撮像素子のアーキテクチャは、好ましくは全ての無関係およびピックアップされた全てのノイズが除去されるように配置された全差動回路を持つ改良された画素ビニング手法を有する。画素ビニングを持つフレーム転送A P S と異なり、本実施例は、必要なメモリを最少化し、それによって、チップサイズを低減する。面積の低減は、より大きな面積フォーマットの光適応型撮像素子の実現化を可能にする。

【0013】

好ましい実施の形態の詳細説明

【0014】

図1は、チップ上で解像度を可変とする（同一チップ上の可変解像度を提供する）、A P S 撮像素子10のブロック図である。撮像素子10は、低照度レベルでS N R を向上させる可変解像度CMOS能動画素撮像素子である。好ましい実施の形態で、撮像素子10は、画素17のx行とy列の光電感度のあるアレイ1

5である。撮像素子は、いずれのサイズのカーネル18も読出すようプログラム可能であるコントローラを含み、ここで、カーネルは、画素のn行m列のブロックである。各カーネル18は、その区域での全ての画素値の合計値を表す。図示の例では、カーネル18は、アレイ15での3行と2列のサイズの区域である。

【0015】

撮像素子10は、アレイ15の側面にセンサの行デコーダ20を有する。画素の全体の行は、毎度、読出のために選択される。各画素17は、好ましくは、図2に示すように光電ゲート型(photogate-type)能動画素であり、電荷障壁を低下することにより集積された電荷の読出を可能にする光電ゲート転送信号(TX)により制御されるチップ内バッファ回路MP2を持つ。リセット信号(RSTP)と選択信号(ROW(行))は、全て従来の様式で、バッファされた画素信号が関連する列出力線を駆動することを可能にする。

【0016】

列積分アレイ30が、行出力に並列に接続される。個別の列積分器(column integrator)35は、各列に関連してアレイの底部に配置される。各積分器35は、画素の行に関連する。これらは、関連する列メモリ回路45、例えば、コンデンサのy列により構成される関連する列メモリ40へ集合的に供給される。図2は、関連する列メモリコンデンサ回路45へ結合される一個の列積分器35の詳細を示す。画素17からの信号出力は、差動様式で列積分器の部分35へ接続される。差動オペアンプAへの2つの全く異なる経路が示されている。ひとつの経路は、制御信号PHISにより制御される信号トランジスタMSを通る。これは、信号をコンデンサCMSを通し導き、第2トランジスタMMSにより再度制御される。リセット信号のための全く並列の経路は、トランジスタMR、CMR、とMMRを通る。相関する二重サンプリングを可能にするために、クロウバー(crowbar)回路CBも提供される。オペアンプAは、全差動スイッチドキャバシタ積分器として接続される。列メモリコンデンサ回路45は、信号レベルとリセットレベルのために、それぞれコンデンサCLSとCLR、およびスイッチMC9とMC10を使用する。別の撮像素子よりも、例えば512本多い画素列を持つ撮像素子10は、512本多い列積分器と列メモリコンデンサ回路の対50

を持つであろうと理解されたい。各対50は、特定の列を取扱う (serve)。

【0017】

以下に極く詳細に説明する例示の実施の形態において、撮像素子10は、一度に一行を読出す。従って、所定の時間に、画素の一行が、図1にブロック図形式で示す適切な列デコーダ選択ロジック60を使用して、列の底部で同時にサンプリングされる。サンプリングされた行にわたる各画素16は、特定の列へ接続された関連する列積分器35内部のコンデンサCMRとCMS上に最初にサンプリングされる。信号PHISがパルスされ、信号レベルをコンデンサCMS上へ持込み、信号PHIRが瞬時パルスされ、リセットレベルをコンデンサCMR上へ持込む。これらのレベルは、次に、RDC信号をパルスすることによりオペアンプAへ結合される。オペアンプは、積分コンデンサCISとCIRを使用して差動で積分する。二重サンプリングは、本明細書で後に説明するように、クロウベースイッチCBを使用して行われる。このプロセスは、所定のカーネルでの全ての行が合計されるまで、続く。

【0018】

列積分器のサイズは、列の数に比例して決定される。例えば、 $10\mu\text{m}$ 画素で 1024×1024 の撮像素子を仮定すると、1024の列積分器35があり、各列積分器の幅は $10\mu\text{m}$ である。列積分器組立体30の全幅は、従って、 $10 \times 1024\mu\text{m} = 10\text{cm}$ である。CIA30の長さ(高さ)は、約2mmに勿論固定される。

【0019】

上記で説明したように、各列メモリコンデンサ回路45は、コンデンサの対CLSとCLRとにより構成される。アレイ15における列(y列)と同じだけ多くのコンデンサがある。フレーム転送型APS撮像素子でのアーキテクチャと異なり、このシステムは、存在するライン数と同じだけの積分器を必要とし、従つて、ラインと行からなるフレーム全体にメモリを必要とする従来システムを凌ぐ顕著な利点を提供する。

【0020】

1024×1024 撮像素子の場合には、たった1024のCLS(とCLR

) が必要なだけである。画素ピニングはそれでも採用されるが、しかし、画素値の全体が蓄積されるフレームを使用せずに達成される。全解像度モードでは、行の情報が C I A ブロック 30 を通り抜け、 C L S と C L R とでサンプリングされ、その情報は、引続く列に対して次々に C S をオンにすることにより出力ブロックを通し直ちに読出されるので、これは可能である。

【0021】

C S は、本質的に列選択ロジック 60 により生成される列選択信号であり、選択された列の C L S と C L R とに蓄積された電荷を共通のグローバル出力積分器 70 へ利用可能にさせる。グローバル出力積分器 70 は、以下に極く詳細に説明するが、全差動の電荷から電圧へ変換するインピーダンス変換 (transimpedance) アンプ (TIA) である。カーネルの各行からのデータは、次の行が C M S と C M R 上でサンプリングされる前に読出される。

【0022】

好ましい実施例によると、画素平均化は、最初に行方向で起る。例えば、 3×4 カーネル選択サイズ (3×4 の選択されたカーネルサイズ) を仮定すると、(同じ列の) 3 つの異なる行からの値 (信号レベルとリセットレベル) が、それぞれ C M S と C M R 上に次々にサンプリングされる。サンプリング毎に積分が続く。3 サイクルの後に、コンデンサ C I S と C I R は、カーネルの 3 つの行からの積算した結果をホールドする。これらの 3 行からの信号を積算するために、列積分器は、3 サイクル毎にだけリセットされる、すなわち、R S T C は、(それは C I S と C I R とからのそのデータを消去するであろうから) 各サイクル毎ではなく、3 サイクル毎に閉じ、コンデンサが以前の信号に加算することを可能にする。全体のプロセスは、列並列方式 (列に並列した形) で起こり、行方向での合計を生成する。 3×4 カーネルを生成するために、列方向での積分が行われる必要がある。これは、4 つの隣接する C S 信号を同時に閉じることによる読出中になされる。C S の各閉鎖は、4 つの隣接する列からの積算された行値がグローバル出力積分器 70 と一緒に合計されるようになる。関連する列積分スイッチが、列選択ロジック 60 に埋込まれていることは容易に理解されることになる。代替の方法は、C S スイッチを順次閉じ、次に、隣接する列値を C O S と C O R とに

次々と集積することである。唯一の差は、普通に予測されるであろうように、R S T O；出力段におけるリセットスイッチが、サイクル毎の代りに、第4サイクル毎に閉じられることである。

【0023】

カーネルは、アレイのどこにでも置くことができ、行と列のデコーダにより選択される。その故に、カーネルのサイズと方向は、完全にユーザによりプログラム可能である。好ましい実施例では、行と列とは、順次の順番で選択されるが、しかし、これは容易にユーザによって定義（規定）することが可能であり、いずれの順番も選択できる。ランダムアクセスは、どの行と列のデコーダが選択されるかの問題である。合計するカーネルサイズをプログラムすることは、本質的にスイッチングにより決定される。

【0024】

2つの隣接する 3×2 カーネルを生成するためのタイミング図を、図3に示す。

【0025】

画素読み出し中に、列積分器35は、RSTCとRSTC1を高（ハイ）にハイパルスすることによりリセットされる。その時点で、アンプAのオフセットは、コンデンサCISとCIR上に蓄積される。 V_{cm} がコモンモード電圧である場合、リセット段階中に、アンプAのオフセットは、アンプの入力を：それぞれ、 $V_{cm} + V_{offs}$ 、と $V_{cm} + V_{offr}$ 、とする。ここで、識別子rとsは、アンプAの2つの分枝の信号側とリセット側を示す。参考するために、信号側は上部、リセット側は下部であるとする（図2参照）。リセット中に、コンデンサにまたがる電位は：それぞれ、 $V+ - V_m - V_{offs}$ 、と $V+ - V_{cm} - V_{offr}$ 、である。次の段階で、RSTC1Bが高に切換り、コンデンサ（CISとCIR）をアンプAにまたがり接続する。アンプの入力ノードは、以前のレベルに留まるので（すなわち、それぞれ、 $V_{cm} + V_{offs}$ 、と $V_{cm} + V_{offr}$ ）、アンプAの出力での電圧は、 $V+$ となり、 V_{offs} と V_{offr} に無関係であり、出力がオフセットに関らないことを示す。ひとつ以上の列が一緒に合計されるので、オフセットの除去は極めて重要である。ある列

と別の列とで異なるであろうオフセットの存在下で、これは（ひとつ以上の列が一緒に合計されることは）、多数解像度出力に許容できない高い固定パターンノイズを結果として生じるであろう。

【0026】

オフセット補正段階に続き、ROW1が選択される。その行での画素からのリセットレベルと信号レベルは、図3に示すそれぞれPHIRとPHISをイネーブルにすることによりサンプリングされる。ROW1は、カーネルの第1行であり、画素アレイ中の何処にでも配置され得る。それぞれCMRとCMS上でサンプリングされた信号は、VRとVSである。積分は、クロウバーCBを閉じることにより完了され、それによって、2つのコンデンサCMSとCMRの内容を平均化する。これは、アンプAの出力を次式にさせる。

【0027】

【数1】

$$Vos(1) = Vos(0) + \frac{CMS}{CIS} \cdot \frac{VR - VS}{2}$$

$$Vor(1) = Vor(0) - \frac{CMR}{CIR} \cdot \frac{VR - VS}{2}$$

【0028】

ここで、括弧内の数字は、サイクルの終りでの値を表示する。識別子0は、リセットサイクルのために取っておかれる。この操作の結果として、(VR-VS)の信号が、アンプ分枝の両側へ差動で加算され、CIS上の電圧を0.5*(VR-VS)だけ上昇させ、CIR上の電圧を同じ量だけ下降させる。タイミング図から分かるように、このプロセスは、3度行われ、所定の列と3つの引続くな行からの画素に対する合計を生成する。

【0029】

行の合計化に続き、LCDが低(ロー)にパルスされ、行積算信号をそれぞれCLSとCLR上へサンプリングする。この時点で、列積分器は、リセットされ、カーネル合計化の次のサイクルのための準備をする。各々3×2サイズの2つのカーネルを読出すために、引続くな列選択(CS1からCS4)が、高にパルス

される。RST0は、グローバルアンプ (A0+とA0-) をリセットすることに使用される。2つの列を合計するために、CS1とCS2がパルスされる前に、RST0が高にパルスされ、 3×2 サイズのひとつのカーネルが読出に対して準備済であることを確実にする。これに続き、RST0が再度パルスされ、第2カーネルの合計の生成を準備し、それは、CS1とCS2の代りにCS3とCS4が次々にパルスされることを除き、同じラインに沿い進行する。

【0030】

一般的に上記で説明された各列積分器35は、積分操作に必要とされる、全差動のスイッチドキャパシタ積分器、一対の列メモリコンデンサCLRとCLS、および、MOSスイッチ (MS、MR、CB、MMS、MMR、MC1、MC2、MC3、MC4、MC7、とMC8) を含む。画素のリセットレベルと信号レベルに対するサンプルとホールドのコンデンサCMRとCMSは、各列積分器35に対する入力コンデンサとして役を果たす。列メモリコンデンサCLSとCLRは、グローバル出力積分器70に対する入力コンデンサである。

【0031】

グローバル出力積分器70は、2つの整合したシングルエンデッド2段オペアンプを使用する。図示の実施例は、 512×512 素子アレイの30フレーム/秒の読出に必要とされる8M画素/秒より上で、30pFと1MWの負荷を駆動するよう構成される。アンプAは、スイッチドキャパシタ・コモンモードフィードバック回路を持つ、折返し (folded) 縦列接続 (cascade) オペアンプである。その動作は、列の並列読出の故に、更に低い速度に設定される。設計された2MHzのユニットゲイン (unit gain) 周波数と60dBのDCゲインは、9ビットより良い精度の列並列積分器に対して充分である。アンプの設計は、従来の様式で、最小のトランジスタサイズと最小のバイアス電流を使用するよう最適化される。

【0032】

$n \times m$ (n 列 m 行) のカーネル合計の読出のために、センサ画素の m 行からの信号は、一度に一行ずつ列積分器35により積分される。各行のリセットレベルと信号レベルは、積分器35がリセットされた際に、S/HコンデンサCMSと

CMR上に最初にサンプリングされる。それらは、次に、積分コンデンサCISとCIR上に差動で積分される。このプロセスは、所定のカーネルでの全ての行が合計されるまで続く。リセットレベルは、(列ブロックへの入力にて) 画素の出力に、それがリセットされる際に(RSTPがオンにされる際に)、従い(pertain)、信号レベルは、信号電荷がセンスノードに投捨てられた後に、画素の出力に従う(pertain)。

【0033】

積分された信号は、列メモリコンデンサCLSとCLR上にサンプリングされ、積算される。行合計化が完了した後に、連続するn列のすべてが、グローバル積分器70の各リセット後に、積分される。 $n \times m$ のカーネルからの合計された信号は、グローバル積分器70の出力からシリアルに読出される。合計されるカーネルサイズは、照度条件に従いプログラム可能である。

【0034】

$n \times n$ の正方のカーネルを使用することによる、S/N向上は \sqrt{n} である。低照度では、回路読出ノイズが撮像素子ノイズを支配するので、S/N向上は、 \sqrt{n} より大きい。

【0035】

列に関する高い残留の固定パターンノイズ(FPN)は、主として列オペアンプのオフセットに起因する。全差動読出では、オフセットは、積分器が自動的にゼロ化される際に、フィードバックコンデンサ上に最初にサンプリングされる。第1次に、それは、信号積分の各ステップで補償される。クロックの貫通は、積分器へのコモンモードパルスとして現れ、FPNに寄与しない。残留のFPNは、積分器の両側上のコンデンサ比率の不整合の故であり、次式で与えられる。

【0036】

【数2】

$$V_{os,o} = m(\alpha_R - \alpha_S)V_c = m\Delta\alpha V_c$$

【0037】

ここで、mは行合計化の数であり、 $\Delta\alpha$ はコンデンサ比率での不整合であり、

および、 V_c はコモンモード電圧である。瞬時読出ノイズは、画素からのノイズ、検出器のショットノイズ、スイッチングに関するノイズ (kTCノイズ)、および、オペアンプからのノイズから成る。 $n \times m$ のカーネル合計化に対する出力換算ノイズは、次式により近似できる。

【0038】

【数3】

$$\langle v_o^2 \rangle = n \frac{2kT}{C_M} \alpha^2 [2m\alpha^2 + \alpha + 3\beta + 2m(1+\alpha)\beta + mg^2 N_{ave}]$$

$$C_{MR} = C_{MS} = C_M; C_{IR} = C_{IS} = C_I; C_{LR} = C_{LS} = C_L; C_{oR} = C_{oS} = C_o; \alpha = \frac{C_M}{C_I} = \frac{C_L}{C_o};$$

【0039】

ここで、 $\beta = C_M / C_L$ 、 g はボルト／電子（エレクトロンボルト）で測定される変換ゲインであり、 N_{ave} は一回の露出中の画素当たりの平均電子数である。全解像度読出でのノイズ電圧は、125フレーム／秒の画像読出レートに対して約320MVであると概算され、これは測定値に非常に近い。

【0040】

列に関する固定パターンノイズは、アンプの2つの分枝間の不整合に起因し、閾値電圧の不整合に起因する。これは、2つの差動出力をコモンモードレベル（出力信号の理想平均）に対して不均衡にさせる。これは、リセット（RTCは高）中にCISとCIRでの不均衡をサンプリングすることにより補正される。

【0041】

別的好ましい実施の形態においては、 128×128 の試作センサが、1.2 μm 単一ポリ、二重メタル、n—ウエルのプロセスを使用して、リニアキャバシタを随意として（リニアキャバシタをオプションとして）実現化された。センサの画素サイズは $24 \mu m \times 24 \mu m$ で、29%の光学的充填係数（optical fill factor）であった。列回路を、24mmの列ピッチにレイアウトし、約0.9 mmの全長にした。全チップ面積は約4.7mm \times 5.2mmであった。

【0042】

製作した部品を125フレーム／秒まで試験した。試験の読出速度は、パルス

発生器および試験台で使用したデータ収集ボードの能力により限定された。特性表記結果を次表に要約する。

【0043】

【表1】

撮像素子フォーマット	128 × 128
積分器直線性：	1. 8 V振幅で8ビット以上
センサ飽和：	1. 2 V
瞬時ノイズ：	303 μV r. m. s.
ダイナミックレンジ：	72 dB (FPNを無視)
変換ゲイン：	8. 3 μV/e
消費電力：	24 mW @ 125フレーム/秒
FPN：	6 mV
暗電流：	54 mV/秒 (0. 6 nA/cm ²)

【0044】

センサは、1. 2 Vの飽和信号、72 dBのダイナミックレンジ、と8. 3 mV/eの変換ゲインを実証する。FPNは約6 mV (飽和の0. 5%) であり、読出ノイズは300 mV、と暗電流は0. 6 nA/cm²である。全24 mW の電力の40%より多くが、必要とされる駆動能力の故に、グローバル積分器70のオペアンプにより消費される。

【0045】

図4は、一定の照度と露出時間で、カーネルサイズが1 × 1から2 × 8へ増大されるのに伴う、信号(mV)とS/NR(dB)の向上に対する詳細測定値を示す。1. 2 Vレンジを超える出力信号の直線性は、行および列の合計化の良好な精度を示す。式2からの理論的な予言により予期されるように、11 dBのSNR改善が達成される。

【0046】

要するに、光適応型撮像アプリケーションに対する多数解像度APSが、全差

動オペアンプを基礎とする積分回路を好首尾に集積することにより実証された。良好な均一性と低読出ノイズが達成された。弱光レベルでのS N Rの向上が、一定のフレームレートでプログラム可能な多数解像度読出により達成されたことが、実証された。

【0047】

上記で提示した全差動実施例は、クロックの貫通およびコモンモードノイズの全ての他のソース、特に基板結合ノイズと容量結合ノイズを抑制する。基板結合ノイズは、電源線、接地線、および信号線での変動から発生し、その程度は、殆ど全ての先進サブミクロンCMOSプロセス技術における基板抵抗の低減の故に、多大になり得る。提示された差動トポロジーでは、これらのノイズ現象の影響は、差信号だけが回路を通過できることを保証することにより抑制される。例えば、信号がCMSとCMRでサンプリングされる場合、スイッチMSとMRからの電荷貫通は起ることになる。しかし、スイッチとコンデンサのサイズは同じであるので、貫通電圧(V_f)は、特に、サンプリングされた信号が相互に近似する場合の小信号に対して、両コンデンサで殆ど同じであろう。回路は差信号を増幅するので、コモンモードの貫通(V_f)は、回路動作に影響しない。

【0048】

本開示の実施例によると、低ノイズが、全ての外来のおよびピックアップされたノイズは除去されるような全差動回路を使用することにより達成される。低ノイズでなければ、画素ビニングが弱光レベルの撮像に対してS N Rでの平方根(N)の改善を生成しないであろうから、低ノイズは、光適応型撮像にとり重要である。 $n \times n$ 画素に対するS N R向上は、 n^2 画素が関与するので、平方根(n)でなく n であると理解されたい。

【0049】

本明細書に開示された撮像素子は、空間解像度を増大されたS N Rと引き換えることにより達成された、広範囲の弱光検出能力を有する。平均出力を生成し、従って弱光レベル信号検出に適さない、従来技術の多数解像度チップと異なり、撮像素子10は、弱光レベル信号検出に対し良く適合している。従来技術の撮像素子において、信号への6dBの減衰が計算され、それは、弱光レベル信号検出

を著しく害する。撮像素子10は、そのような減衰の影響を受けない。

【0050】

従来技術の画素ピニングを持つフレーム転送A P S撮像素子と比較する場合、本実施例は、フレームバッファメモリを必要とせず、それによって、3倍以上チップサイズを低減し、その一方で、画素ピニング能力を保存し、読出ノイズを低減する。面積の低減は、従来の撮像素子アーキテクチャでのようにチップサイズの限界を提起することなく、大型光適応型撮像素子の実現化を可能にする。

【0051】

加えて、C C Dまたはチップ外合計化の解決法と異なり、本手法は、C M O S撮像技術と低電力アナログ信号処理回路の使用の故に、幾桁も低い電力を提供する。特に、既知のチップ外合計化手法と比較する場合、好ましい実施例は、画素ピニングによるデータ量の低減の故に、高速度の弱光レベルのデータを提供する。

【0052】

幾つかの実施の形態だけが上記で詳細に説明されたが、この技術で通常の知識を有する者は、好ましい実施の形態においてその教示から逸脱することなく、多くの変形が可能であることを確かに理解するであろう。

【0053】

そのような変形は、前記の特許請求の範囲により包含される意図である。

【図面の簡単な説明】

【図1】 本発明による同一チップ上の可変解像度を持つ、A P S撮像素子のブロック図である。

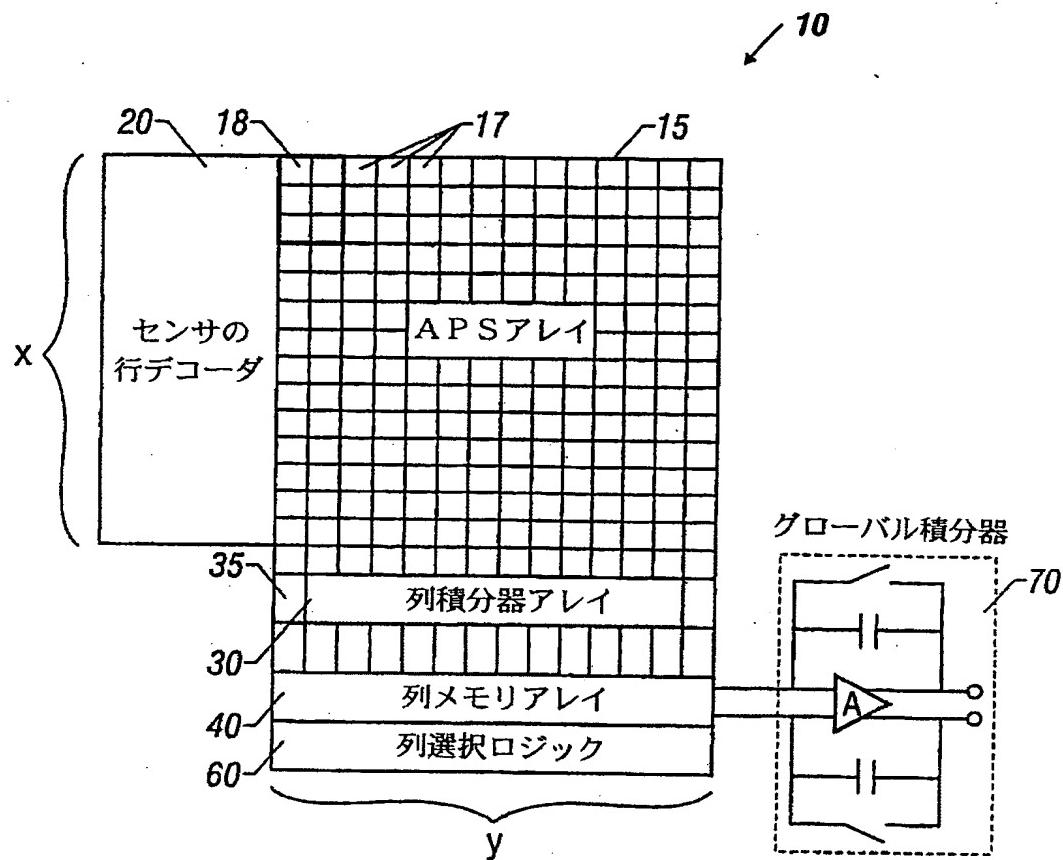
【図2A】 図1に示すA P S撮像素子の、より詳細な概要図である。

【図2B】 図1に示すA P S撮像素子の、より詳細な概要図である。

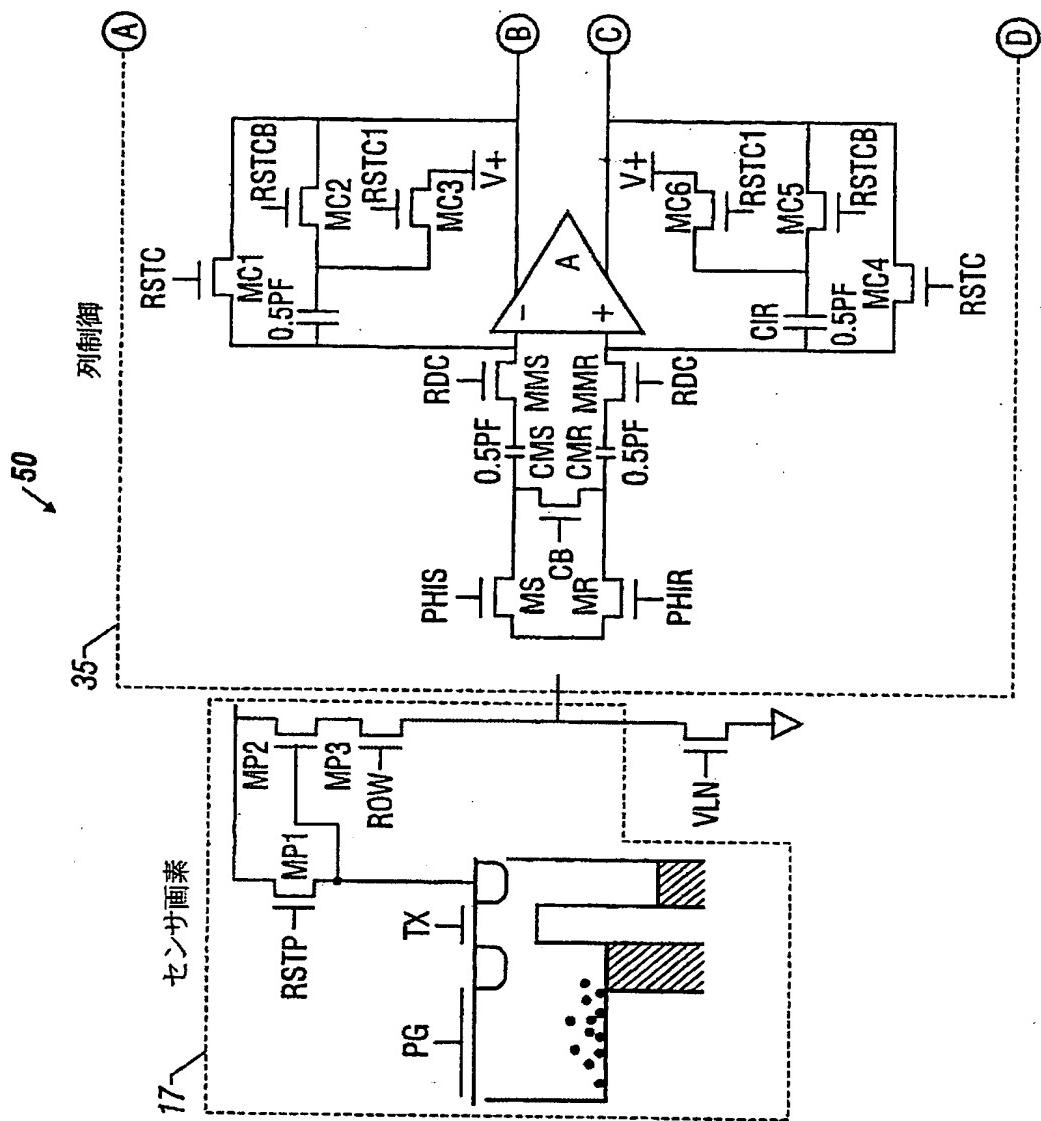
【図3】 本発明の撮像素子を使用して、2つの隣接する 3×2 のカーネルを生成するための例示のタイミング図である。

【図4】 本発明の撮像素子により達成可能な、カーネルサイズの関数としての信号検出性能の予期された結果を示すグラフである。

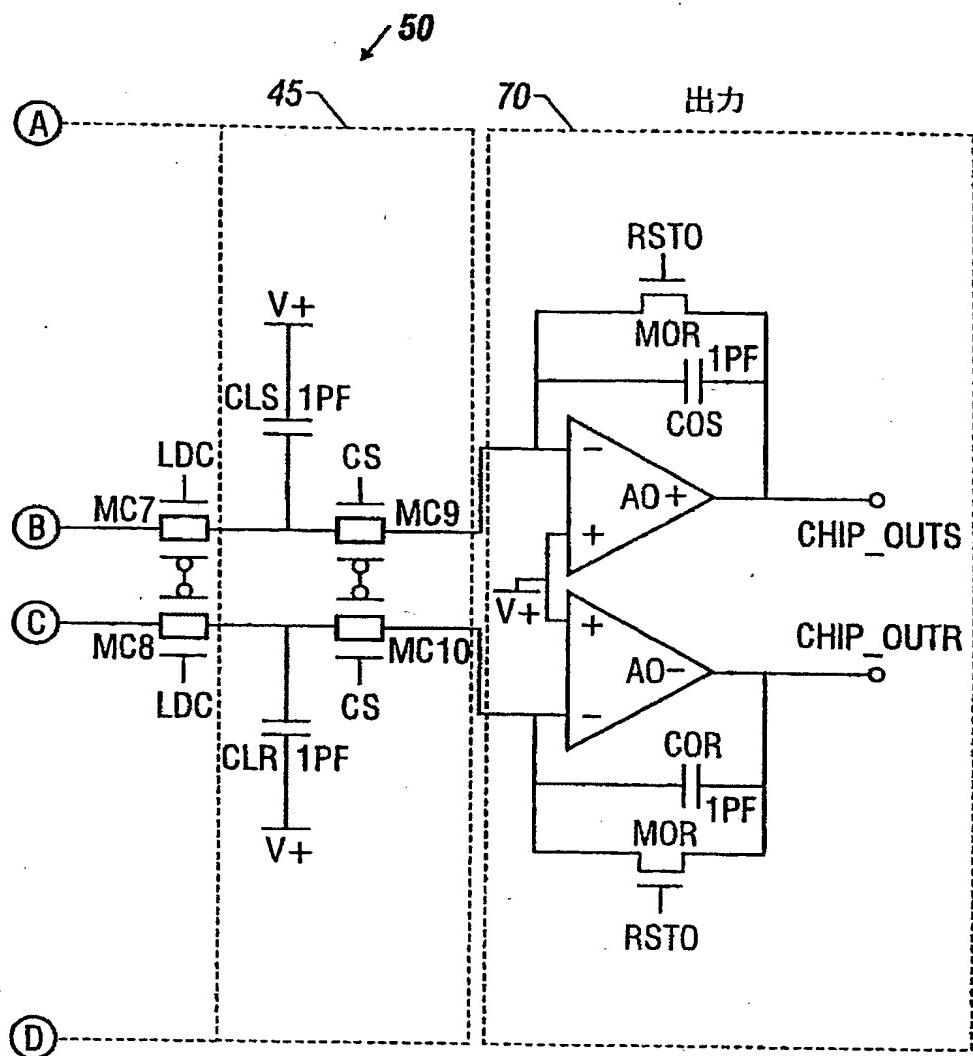
【図1】



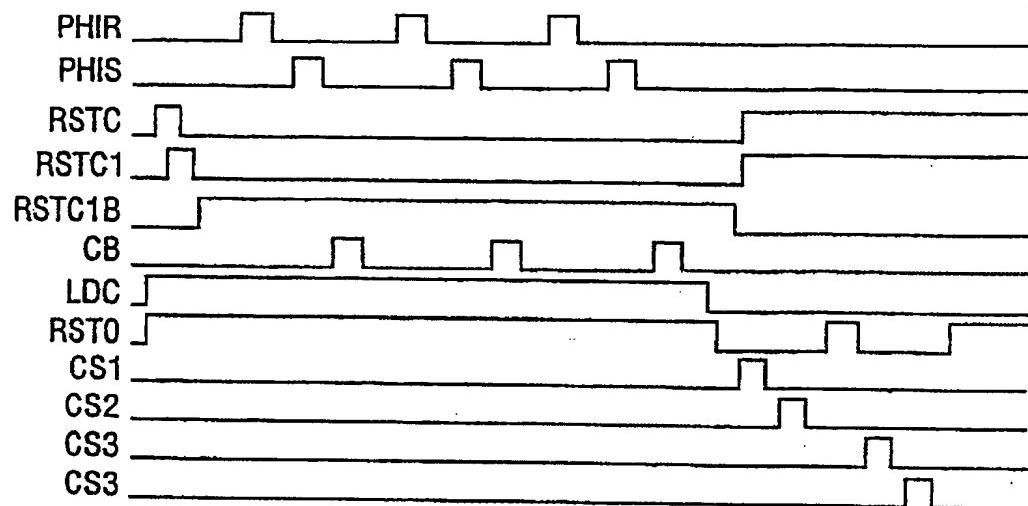
[図2A]



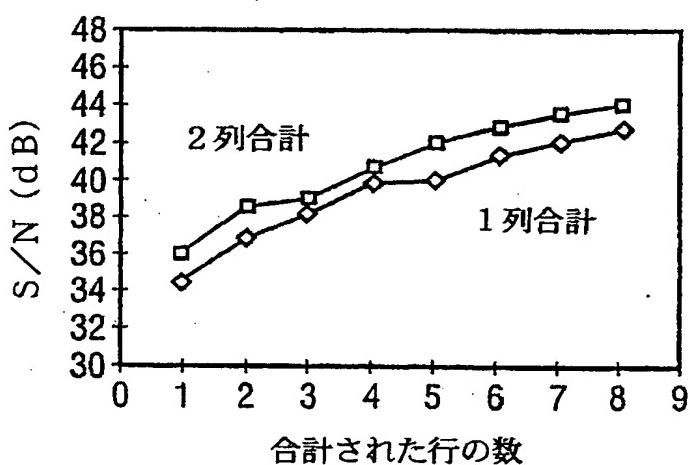
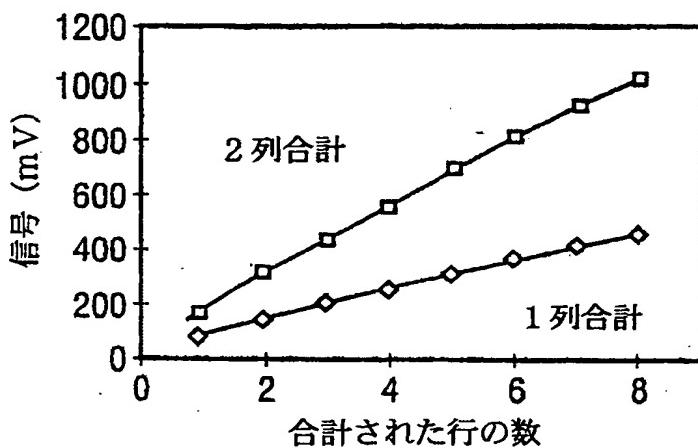
【図2B】



【图3】



【図4】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US99/05830
A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : H04N 3/14 US CL : 348/294, 295, 297, 300, 302, 307, 308 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 348/294, 295, 297, 300, 302, 307, 308		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,471,515 A (FOSSUM et al.) 28 November 1995	1-12
A	US 5,402,171 A (TAGAMI et al.) 28 March 1995	1-12
A, E	US 5,920,345 A (SAUER) 06 July 1999	1-12
A, E	US 5,917,547 A (MERRILL et al.) 29 June 1999	1-12
A, E	US 5,900,623 A (TSANG et al.) 04 May 1999	1-12
A, E	US 5,896,173 A (HASSELER) 20 April 1999	1-12
A, E	US 5,892,540 A (KOZLOWSKI et al.) 06 April 1999	1-12
A, E	US 5,883,668 A (KAZAMA et al.) 16 March 1999	1-12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>		See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "C" document which may derive priority from (prior art elements) or which is cited to establish the publication date of another document or other special reason (as specified) "D" document referring to an oral disclosure, use, exhibition or other event "E" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 16 JULY 1999		Date of mailing of the international search report 17 AUG 1999
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer JACQUELINE WILSON Telephone No. (703) 308-5080

Form PCT/ISA/210 (second sheet)(July 1992) *

INTERNATIONAL SEARCH REPORT		International application No. PCT/US99/05830
C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A, E	US 5,877,715 A (GOWDA et al.) 02 March 1999	1-12
A, P	US 5,841,126 A (FOSSUM et al.) 24 November 1998	1-12
A	US 5,434,620 A (HIGUCHI et al.) 18 July 1995	1-12
A, E	US 5,909,026 A (ZHOU et al.) 01 June 1999	1-12

Form PCT/ISA/210 (continuation of second sheet)(July 1992)*

フロントページの続き

(81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZA, ZW

(72) 発明者 ツオウ ツイミン

アメリカ合衆国 カリフォルニア州

95051 サンタ クララ ホームステッド

ロード 2851 ナンバー301

(72) 発明者 フォッサム エリック アール

アメリカ合衆国 カリフォルニア州

91214 ラ クレセント バインコーン

ロード 5556

Fターム(参考) SC024 CX04 GY31 GY35 GY41 G124

G129 G230 HX13 HX31 HX35

【公報種別】特許法第17条第1項及び特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成15年2月25日(2003.2.25)

【公表番号】特表2002-507863(P2002-507863A)

【公表日】平成14年3月12日(2002.3.12)

【年通号数】

【出願番号】特願2000-537366(P2000-537366)

【国際特許分類第7版】

H04N 5/335

【F I】

H04N 5/335 E
P

【手続補正書】

【提出日】平成14年1月16日(2002.1.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

【補正の内容】

【請求項8】更に、現在選択された解像度モードに基づきアドレス及びタイミング制御信号を生成する、列選択ロジックと行選択ロジックとを、備える、請求項1のAPS撮像素子。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項11

【補正方法】変更

【補正の内容】

【請求項11】更に、現在選択された解像度モードに基づきアドレス及びタイミング制御信号を生成することを含む請求項10の方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項12

【補正方法】変更

【補正の内容】

【請求項12】更に、現在選択された画素ブロックサイズに基づきアドレス及びタイミング制御信号を生成することを含む請求項10の方法。